

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-027589

(43)Date of publication of application : 28.01.1997

(51)Int.Cl.

H01L 23/522  
H01L 27/118  
H01L 21/3205  
H01L 21/768  
H01L 27/04  
H01L 21/822

(21)Application number : 07-175681

(71)Applicant : HITACHI LTD

(22)Date of filing : 12.07.1995

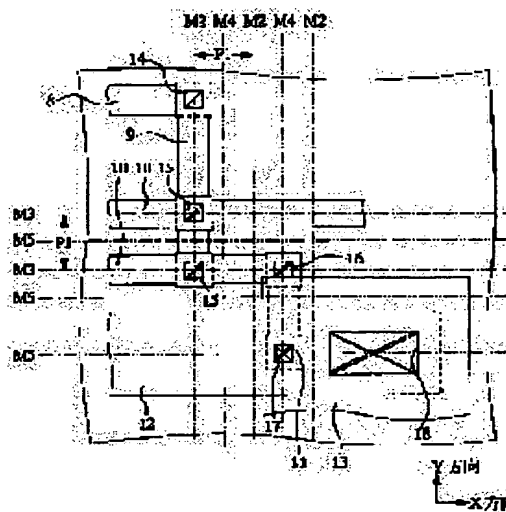
(72)Inventor : YAMAGUCHI HIDE  
OWADA NOBUO  
SAITO TATSUYUKI  
OOGAYA KAORU

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a technique by which the high-density packaging operation of interconnections and the multilayer system of the interconnections can be realized simultaneously in a semiconductor integrated circuit device comprising a multilayer interconnection.

**SOLUTION:** In a gate array comprising a six-layer interconnection, a second-layer interconnection 9 up to a fifth-layer interconnection 12 are used as signal interconnections. The second-layer interconnection 9 and the fourth-layer interconnection 11 are extended to the Y-direction at an interconnection pitch of  $2.0\mu\text{m}$ , and they are arranged so as to be shifted by  $1.0\mu\text{m}$  as a half distance of the interconnection pitch. In addition, the third-layer interconnection 10 and the fifth-layer interconnection 12 are extended into the X-direction at an interconnection pitch of  $2.0\mu\text{m}$ , and they are arranged so as to be shifted by  $1.0\mu\text{m}$  as a half distance of the interconnection pitch.



## LEGAL STATUS

[Date of request for examination]

28.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-27589

(43) 公開日 平成9年(1997) 1月28日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	23/522		H 0 1 L 23/52	B
	27/118		21/82	M
	21/3205		21/88	R
	21/768			A
	27/04		21/90	Q
審査請求 未請求 請求項の数10 O L (全 10 頁) 最終頁に続く				

(21) 出願番号 特願平7-175681

(22) 出願日 平成7年(1995) 7月12日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 山口 日出

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72) 発明者 大和田 伸郎

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(72) 発明者 斉藤 達之

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

(74) 代理人 弁理士 筒井 大和

最終頁に続く

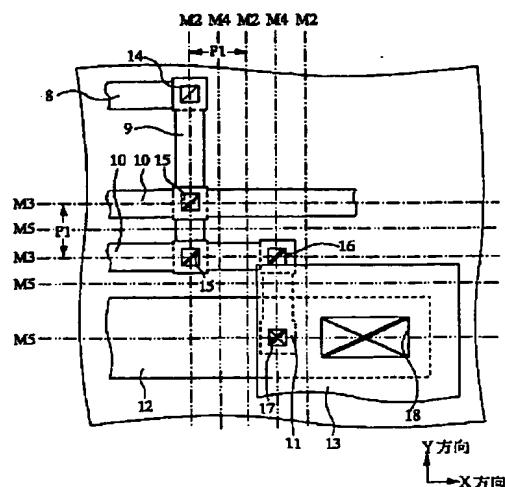
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【目的】 多層配線を有する半導体集積回路装置において、配線の高密度実装と配線の多層化を同時に実現できる技術を提供する。

【構成】 6層配線を有するゲートアレイにおいて、第2層配線9から第5層配線12までを信号配線に用いており、第2層配線9および第4層配線11は、 $2.0\mu\text{m}$ の配線ピッチでY方向に延在し、かつ、配線ピッチの半分の距離である $1.0\mu\text{m}$ ずれて配置され、また、第3層配線10および第5層配線12は、 $2.0\mu\text{m}$ の配線ピッチでX方向に延在し、かつ、配線ピッチの半分の距離である $1.0\mu\text{m}$ ずれて配置されている。

図 2



M2: 第2層配線のレイアウト  
M3: 第3層配線のレイアウト  
M4: 第4層配線のレイアウト  
M5: 第5層配線のレイアウト  
P1: 配線ピッチ

## 【特許請求の範囲】

【請求項 1】 3 層以上の配線によって構成される多層配線を有する半導体集積回路装置において、第 2 層配線および前記第 2 層配線よりも上層に形成される偶数番目の配線は、X 方向または Y 方向に延在し、また、第 3 層配線および前記第 3 層配線よりも上層に形成される奇数番目の配線は、前記第 2 層配線と交差するように Y 方向または X 方向に延在しており、さらに、前記偶数番目の配線の配線ピッチが、前記第 2 層配線の配線ピッチと同じ、また、前記奇数番目の配線の配線ピッチが、前記第 3 層配線の配線ピッチと同じであることを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置であって、前記第 2 層配線よりも上層に形成される前記偶数番目の配線である第 m 層配線は、前記第 m 層配線の下に位置する前記偶数番目の配線である第 (m-2) 層配線と前記第 2 層配線の配線ピッチの 1/2 の距離だけずれて配置されており、また、前記第 3 層配線よりも上層に形成される前記奇数番目の配線である第 n 層配線は、前記第 n 層配線の下に位置する前記奇数番目の配線である第 (n-2) 層配線と前記第 3 層配線の配線ピッチの 1/2 の距離だけずれて配置されていることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 または 2 記載の半導体集積回路装置の製造方法であって、第 1 層配線はタングステン配線、前記第 2 層配線および前記第 2 層配線よりも上層に形成される配線はタングステン/アルミニウム/タングステン積層配線であり、前記タングステン配線および前記タングステン/アルミニウム/タングステン積層配線を構成する下層のタングステン膜は、スパッタリング法で形成されるタングステン膜および CVD 法で形成されるタングステン膜を半導体基板上に順次堆積することによって形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項 4】 請求項 3 記載の半導体集積回路装置の製造方法であって、前記タングステン/アルミニウム/タングステン積層配線を構成する中間層のアルミニウム膜には、3% 以下の濃度の銅が含まれていることを特徴とする半導体集積回路装置の製造方法。

【請求項 5】 請求項 1 または 2 記載の半導体集積回路装置の製造方法であって、上下に位置する配線の間を絶縁するために設けられる層間絶縁膜の表面は、平坦化処理が施されていることを特徴とする半導体集積回路装置の製造方法。

【請求項 6】 請求項 5 記載の半導体集積回路装置の製造方法であって、前記層間絶縁膜は、CVD 法により半導体基板上へ第 1 の絶縁膜を堆積し、続いて、塗布法により前記半導体基板上へ第 2 の絶縁膜を堆積した後、第 2 の絶縁膜の表面をエッチバック法で平坦化し、次いで、CVD 法により前記半導体基板上へ第 3 の絶縁膜を

2

堆積することにより形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項 7】 請求項 1 または 2 記載の半導体集積回路装置であって、前記配線ピッチは、 $2.0 \mu\text{m}$  以下であることを特徴とする半導体集積回路装置。

【請求項 8】 請求項 1 または 2 記載の半導体集積回路装置であって、前記第 2 層配線、および最上層の配線を除いた前記第 2 層配線よりも上層に形成される配線は、信号配線として用いられることを特徴とする半導体集積回路装置。

【請求項 9】 請求項 1 または 2 記載の半導体集積回路装置であって、最上層の配線、または最上層の配線およびその直下の配線は、電源配線として用いられることを特徴とする半導体集積回路装置。

【請求項 10】 請求項 9 記載の半導体集積回路装置であって、前記電源配線は、厚さが  $1.0 \mu\text{m}$  以上のアルミニウム配線または銅配線であることを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置およびその製造方法に関し、特に、多層配線を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 論理付きメモリ LSI (Large Scale Integrated Circuit) の論理部には、主にゲートアレイ方式が採用されている。ゲートアレイはあらかじめ拡散工程まで形成したマスタースライスを用意し、配線工程での配線を用いた結線によって所望の回路を実現する LSI であり、短期間で高集積の論理回路を開発することができる。

【0003】 ところで、ゲートアレイ方式を採用した論理付きメモリ LSI においては、配線層数が多くなればなるほど素子密度を高めることができ性能が向上するので、層数を増した配線の多層化技術の開発が行われており、例えばすでに、5 層配線を有する論理付きメモリ LSI が実用化されている。

【0004】 従来技術におけるこの 5 層配線を有する論理付きメモリ LSI では、接続孔形成を従来のスパッタ技術で成膜せざるを得ないことから、その接着性確保の観点から接続孔形成をテープ付きとする必要があり、その接続孔領域を確保する必要から、例えば配線ピッチは  $4.0 \mu\text{m}$  となり、集積度を向上させる上での限界となっている。

【0005】 なお、アルミニウムのみで形成される配線は、エレクトロマイグレーション耐性が弱く、また、微細化により電気抵抗が増大するという問題がある。そこで、エレクトロマイグレーション耐性を向上し、電気抵抗を下げるために、アルミニウム中に 3% の濃度の銅

3

(Cu)を含有させた膜をスパッタリング法で半導体基板上へ堆積し、これを加工して配線を形成している。

【0006】なお、多層配線を用いたLSIについては、例えば、培風館発行「超高速バイポーラデバイス」昭和60年11月15日発行、永田積編、P129に記載されている。

【0007】

【発明が解決しようとする課題】本発明者は、前記論理付きメモリLSIに採用された多層配線において、以下の問題点が生じることを見いだした。

【0008】半導体チップ上に高集積に半導体素子を搭載するには、配線ピッチの縮小化が不可欠であり、例えば従来の2倍以上の集積度を得るには信号配線の配線ピッチを $2.0\mu\text{m}$ 以下とすることが不可欠である。

【0009】また、層間絶縁膜を挟んで上下に位置する配線ピッチが $2.0\mu\text{m}$ の配線を接続するためには、層間絶縁膜に設けられる接続孔の孔径を $1.0\mu\text{m}$ 以下とする必要がある。しかし、層間絶縁膜の厚さは配線の伝搬速度を支配する重要なパラメータであるため、半導体素子の微細化が進んでも、層間絶縁膜の厚さを低減することはできない。

【0010】従って、層間絶縁膜に設けられる接続孔の孔径は微細化されても層間絶縁膜の厚さを薄くできないため、LSIの高集積化が進むにつれて、接続孔のアスペクト比(接続孔の深さ/孔径)は高くなり、高アスペクト比の接続孔へスパッタリング法でアルミニウムを確実に埋め込み、低抵抗の配線を形成することが困難となっている。

【0011】また、3%の濃度のCuを含有するアルミニウム配線は反射率が高いため、ホトリソグラフィ工程で単層レジストを用いると、露光光の入射光と反射光の干渉による定在波効果が顕著に現われる。さらに、前記アルミニウム配線をドライエッチング法で加工する際に単層レジストを用いると、前記アルミニウム配線と単層レジストのエッチング時の選択比がとれないために、アルミニウム配線の加工不良が生じてしまう。

【0012】これらのことから、アルミニウム配線を加工する工程では、単層レジストを用いることができず、多層レジストの採用が不可欠となっている。しかし、多層配線の各層を全て多層レジストを用いて加工すると、工程数が著しく増加するだけでなく、製品の歩留まりも低下してしまう。

【0013】本発明の目的は、配線の高密度実装と配線の高層化を同時に実現することのできる技術を提供することにある。

【0014】本発明の他の目的は、多層配線を有する半導体集積回路装置において、製造歩留まりの向上、動作速度の高速化、および配線工程のスループットの向上を同時に実現することのできる技術を提供することにある。

4

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、

(1) 本発明の半導体集積回路装置は、3層以上の配線によって構成される多層配線を有しており、第2層配線および前記第2層配線よりも上層に形成される偶数番目の配線は、X方向またはY方向に延在し、また、第3層配線および前記第3層配線よりも上層に形成される奇数番目の配線は、前記第2層配線と交差するようにY方向またはX方向に延在しており、さらに、前記偶数番目の配線の配線ピッチは、前記第2層配線の配線ピッチと同じ、また、前記奇数番目の配線の配線ピッチは、前記第3層配線の配線ピッチと同じである。

【0017】(2) また、本発明の半導体集積回路装置は、前記(1)の半導体集積回路装置において、前記第2層配線よりも上層に形成される前記偶数番目の配線である第m層配線は、前記第m層配線の下に配置する前記偶数番目の配線である第(m-2)層配線と前記第2層配線の配線ピッチの $1/2$ の距離だけずれて配置されており、また、前記第3層配線よりも上層に形成される前記奇数番目の配線である第n層配線は、前記第n層配線の下に位置する前記奇数番目の配線である第(n-2)層配線と前記第3層配線の配線ピッチの $1/2$ の距離だけずれて配置されている。

【0018】(3) また、本発明の半導体集積回路装置の製造方法は、前記(1)または(2)の半導体集積回路装置において、第1層配線はタングステン配線、前記第2層配線および前記第2層配線よりも上層に形成される配線はタングステン/アルミニウム/タングステン積層配線によって形成し、前記タングステン配線および前記タングステン/アルミニウム/タングステン積層配線を構成する下層のタングステン膜は、スパッタリング法で形成されるタングステン膜およびCVD (Chemical Vapor Deposition) 法で形成されるタングステン膜を半導体基板上に順次堆積することによって形成する。

【0019】(4) また、本発明の半導体集積回路装置の製造方法は、前記(3)の半導体集積回路装置の製造方法において、3%以下の濃度のCuを含んだアルミニウム膜で、前記タングステン/アルミニウム/タングステン積層配線の間層を構成する。

【0020】

【作用】上記した手段(1)～(3)によれば、接続孔形成を垂直加工としてもCVD膜で埋め込むことができるために、接続孔形成領域を縮小化できることから第2層配線および第2層配線よりも上層に形成される配線は、 $2.0\mu\text{m}$ 以下の配線ピッチで配置することが可能と

なる。

【0021】また、第 $n$ 層配線( $n$ は3以上の整数)と第 $(n+1)$ 層配線を接続するために設けられる接続孔は、第 $n$ 層配線と第 $(n-1)$ 層配線を接続するために設けられる接続孔に対して、配線ピッチの $1/2$ の距離だけずらした箇所に配置できるので、接続孔のレイアウトの自由度を増すことができる。

【0022】上記した手段(3)および(4)によれば、タングステン配線およびタングステン/アルミニウム/タングステン積層配線を構成する下層のタングステン膜をCVD法で堆積することにより、アスペクト比が2.0の接続孔にも配線を被覆性良く埋め込むことができる。さらに、CVD法でタングステン膜を堆積する前に、スパッタリング法でタングステン膜を堆積することにより、CVD法で形成されるタングステン膜の接着性が向上するので、配線のはがれや導通不良を防ぐことができる。

【0023】また、タングステン/アルミニウム/タングステン積層配線の中間層に低抵抗のアルミニウム膜が設けられているので、配線の抵抗を低減することができる。

【0024】また、タングステン/アルミニウム/タングステン積層配線の中間層のアルミニウム膜が含有するCuの濃度を3%以下としているので、単層レジストをマスクに用いてドライエッチング法で積層配線を加工しても、良好な単層レジストのドライエッチング耐性が得られる。さらに、上層にタングステン膜を設けているので、ホトリソグラフィ工程における配線からの露光の反射を低減することができ、単層レジストを用いても定在波効果が現れにくくなる。

【0025】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0026】本発明の一実施例である論理付きメモリLSIを図1〜図5を用いて説明する。なお、実施例を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0027】図1は、論理付きメモリLSIのチップレイアウトを示す図である。論理付きメモリLSIは、平面形状が正方形の半導体基板2上に形成されており、論理部3、メモリセル部4、メモリセル制御部5および入出力回路部6から構成されている。論理部3はゲートアレイで構成されており、基本セル7が複数配置された構造で、基本セル列を形成して、X方向に隙間無く複数行配置されている。

【0028】基本セル7内には、トランジスタおよび抵抗などの半導体素子が形成されており、このトランジスタは、GST(Gate Self-Aligned Technology)構造のバイポーラトランジスタである。なお、GST構造のバイポーラトランジスタは、半導体素子が形成される活性

領域の面積を縮小できて、活性領域間に生じる寄生容量が低減されるので、動作速度の高速化を図ることができる。

【0029】図2に、ゲートアレイで構成された論理部3における信号配線の結線方法を示す。本実施例の論理付きメモリLSIは6層配線を採用しており、論理部3では、基本セル7間の結線は第1層配線8のみで行い、信号配線には第2層配線9(M2)から第5層配線12(M5)、電源配線には第6層配線13が用いられている。信号配線の配線幅は $1.0\mu\text{m}$ 、スペースは $1.0\mu\text{m}$ としており、従って、信号配線の配線ピッチ(P1)は $2.0\mu\text{m}$ となる。

【0030】図2に示すように、第2層配線9は $2.0\mu\text{m}$ の配線ピッチでY方向に延在し、これに対して、第3層配線10は $2.0\mu\text{m}$ の配線ピッチでX方向に延在するように構成されている。さらに、第4層配線11は第2層配線9に対して配線ピッチの半分( $P1/2=1.0\mu\text{m}$ )の距離をずらして、第2層配線9と同様に $2.0\mu\text{m}$ の配線ピッチでY方向に延在している。

【0031】第5層配線12も第3層配線10に対して配線ピッチの半分( $P1/2=1.0\mu\text{m}$ )の距離をずらして、第3層配線10と同様にX方向に延在するように構成されている。

【0032】しかし、信号配線において、抵抗の低い配線を要する場合は、図2の第5層配線12に示すように、幅の広い配線(例えば、 $3.0\mu\text{m}$ )を用いる。なお、信号配線の厚さは約 $0.9\mu\text{m}$ である。

【0033】電源配線として使用される第6層配線13のスペースは $8.0\mu\text{m}$ 、厚さは約 $2.0\mu\text{m}$ である。

【0034】第1層配線8から第5層配線12までの上下に位置する配線を接続するために層間絶縁膜に設けられる接続孔14、15、16および17の孔径は全て $0.6\mu\text{m}$ 、第5層配線12と電源配線である最上層の第6層配線13を接続する接続孔18の寸法は $1.5\times 3.0\mu\text{m}$ である。また、接続孔14、15、16および17が配置される場所の配線の幅は $1.2\mu\text{m}$ 、配線のスペースは $0.8\mu\text{m}$ である。

【0035】接続孔の配置としては、ある信号配線の上下に設けられる接続孔は、配線ピッチの $1/2$ 離れた箇所に配置することが可能である。

【0036】例えば、図3に示すように、第2層配線9と第3層配線10の間に設けられた接続孔15に対して、第3層配線10と第4層配線11の間に設けられる接続孔16は、配線ピッチの $1/2$ である $1.0\mu\text{m}$ 離れた箇所に形成することができる。

【0037】次に、本実施例の論理付きメモリLSIの論理部3の要部断面構造およびその製造方法を図4を用いて説明する。

【0038】図4に示すように、本実施例の論理付きメモリLSIは単結晶珪素からなるp型の半導体基板1

7

01aを主体として構成されている。この半導体基板101aの主面上にはn型エピタキシャル層103が積層されており、さらに、半導体基板101aの主面上には活性領域（素子形成領域）が設けられている。半導体基板101aの裏面は、酸化珪素膜101cおよび支持基板101bで構成されている。

【0039】活性領域には前記半導体基板101aとn型エピタキシャル層103との間に埋め込み型のn型半導体領域102が形成されている。前記活性領域は素子分離領域によって周囲の他の活性領域と電気的に分離されている。素子分離領域は主に素子間分離絶縁膜（例えば、酸化珪素膜）104および105で構成されている。

【0040】前記活性領域にはバイポーラトランジスタが形成されている。このバイポーラトランジスタはn型コレクタ領域、p型ベース領域、n型エミッタ領域のそれぞれを順次配列した縦構造で構成されている。

【0041】n型コレクタ領域はn型エピタキシャル層103、埋め込み型のn型半導体領域102およびコレクタ電位引き上げ用n型半導体領域106で構成されている。p型ベース領域はグラフトベース領域であるp型半導体領域107および真性ベース領域であるp型半導体領域108で構成されている。n型エミッタ領域はn型半導体領域109で構成されている。

【0042】前記コレクタ電位引き上げ用n型半導体領域106には、コレクタ開口部104aを通してタングステン配線（以下W配線と略す）115aが接続されている。

【0043】p型ベース領域であるp型半導体領域107には、ベース開口部104bを通してベース引き出し用電極110の一端が接続されている。ベース引き出し用電極110の他端には、絶縁膜112aおよび112bに形成された接続孔113を通してW配線115bが形成されている。

【0044】n型エミッタ領域であるn型半導体領域109には、エミッタ開口部104cを通してエミッタ引き出し用電極111が接続されている。エミッタ引き出し用電極111は絶縁膜112aに形成された接続孔114を通してW配線115cと電気的に接続されている。なお、エミッタ引き出し電極111はn型不純物（AsまたはP）が導入された多結晶珪素で形成されている。

【0045】前記W配線115a、115bおよび115cは第1層配線8の製造工程で形成されている。これらW配線115a、115bおよび115cは、スパッタリング法でタングステン膜を半導体基板101a上に0.2 $\mu$ m堆積した後、引き続いて、同一装置内でCVD法でタングステン膜を0.2 $\mu$ m堆積して形成する。

【0046】スパッタリング法で堆積したタングステン膜は、CVD法で堆積したタングステン膜と下層の絶縁

8

膜との間の接着層としての役目を担っており、また、CVD法で堆積したタングステン膜は、高いアスペクト比を有する接続孔に対して、良好な被覆性を有している。

【0047】W配線115a、115bおよび115cは第1の層間絶縁膜116、117および118で覆われている。第1の層間絶縁膜116はCVD法によって形成された酸化珪素膜であり、良好な被覆性を持って、W配線115a～115cを覆っている。

【0048】第1の層間絶縁膜117は、第1の層間絶縁膜116に生じた凹部を埋め込み、第1の層間絶縁膜116の表面を平坦化するために設けられている。すなわち、酸化珪素膜を第1の層間絶縁膜116上に塗布（Spin On Glass ; SOG）法により堆積し、これをエッチバックすることにより、第2の層間絶縁膜116に生じた凹部に第1の層間絶縁膜117を埋め込んでい

る。

【0049】第1の層間絶縁膜118は、配線の層間耐圧を確保するために設けられており、CVD法によって形成された酸化珪素膜である。

【0050】第1の層間絶縁膜116の厚さは約0.4 $\mu$ m、塗布法によって堆積された第1の層間絶縁膜117の厚さは約0.4 $\mu$ m、エッチバックの厚さは約0.55 $\mu$ m、第1の層間絶縁膜118の厚さは約0.9 $\mu$ mである。

【0051】第1の層間絶縁膜116、117および118上には、第2層配線9の製造工程で形成されるタングステン／アルミニウム／タングステン積層配線（以下W／Al／W積層配線と略す）120が形成されている。W／Al／W積層配線120は、第1の層間絶縁膜116および118に形成された接続孔119を通して第1層配線8であるW配線115a～115cと接続している。この接続孔119はほぼ垂直に加工されており、接続孔119の孔径は0.6 $\mu$ m、アスペクト比は2.0である。

【0052】W／Al／W積層配線120を形成する直前には、不活性ガス雰囲気中においてスパッタエッチング処理が施される。このスパッタエッチング処理は第1層配線8であるW配線115a～115cの表面に形成される絶縁物質（例えば酸化タングステン）を除去する目的で行われる。

【0053】なお、スパッタエッチング処理に際し、接続孔119の側壁を成す第1の層間絶縁膜116および118を荷電粒子で叩くことによって、絶縁物質がW配線115a～115cの表面に再び付着することを低減するために、接続孔119の形状は垂直に形成することが望ましい。

【0054】W／Al／W積層配線120を構成する下層のタングステン膜は、スパッタリング法とCVD法との連続処理で成膜され、下地の第1の層間絶縁膜116および118に対して良好な接着性を有し、かつ、高い



アスペクト比の接続孔119に対して良好な被覆性を有している。

【0055】また、中間層のアルミニウム膜は、アルミニウム単層膜、あるいは、シリコン(Si)、Cu、またはSiとCuの両者を含有するアルミニウム合金膜であり、配線の抵抗を下げるために用いられている。アルミニウム合金膜中のCuの濃度は3.0%以下であり、Cuは配線のエレクトロマイグレーションを低減する効果がある。上層のタングステン膜は、フォトリソグラフィ工程における配線の表面からの露光光の反射を抑制する効果がある。

【0056】W/A1/W積層配線120を構成する下層のタングステン膜は、スパッタリング法で堆積された厚さ0.05 $\mu$ mのタングステン膜とCVD法で堆積された0.2 $\mu$ mのタングステン膜で構成されており、中間層のアルミニウム膜の厚さは0.6 $\mu$ m、上層のタングステン膜の厚さは0.05 $\mu$ mである。

【0057】なお、W/A1/W積層配線120下に位置する第1の層間絶縁膜116、117および118の表面が平坦であり、また、上層に低反射膜であるタングステン膜を採用しているため、W/A1/W積層配線120を加工するフォトリソグラフィ工程において、定在波効果が抑えられ、単層レジストを用いることが可能となる。

【0058】W/A1/W積層配線120は第2の層間絶縁膜121、122および123で覆われている。第2の層間絶縁膜121は、第1層配線8であるW配線115a~115c上に形成された第1の層間絶縁膜116と同様に、CVD法によって形成された酸化珪素膜であり、良好な被覆性を持って、W/A1/W積層配線120を覆っている。

【0059】第2の層間絶縁膜122は、第2の層間絶縁膜121に生じた凹部を埋め込み、第2の層間絶縁膜121の表面を平坦化するために設けられている。すなわち、酸化珪素膜を塗布法により第2の層間絶縁膜121上に堆積し、これをエッチバックすることによって、第2の層間絶縁膜121に生じた凹部に第2の層間絶縁膜122を埋め込んでいる。

【0060】第2の層間絶縁膜123は、配線の層間耐圧を確保するために設けられており、CVD法によって形成された酸化珪素膜である。

【0061】第2の層間絶縁膜121の厚さは約0.6 $\mu$ m、塗布法によって堆積された第2の層間絶縁膜122の厚さは約0.55 $\mu$ m、エッチバックの厚さは約0.6 $\mu$ m、第2の層間絶縁膜123の厚さは約0.9 $\mu$ mである。

【0062】第2の層間絶縁膜121、122および123上には、第3層配線10の製造工程で形成されるW/A1/W積層配線124が形成されている。W/A1/W積層配線124は、第2の層間絶縁膜121および

123に形成された接続孔125を通して第2層配線9であるW/A1/W積層配線120と接続している。この接続孔125はほぼ垂直に加工されている。

【0063】W/A1/W積層配線124は、第2層配線9であるW/A1/W積層配線120と同じ方法で形成される。また、W/A1/W積層配線124を形成する直前には、不活性ガス雰囲気中において、第2層配線9であるW/A1/W積層配線120の形成時と同様に、スパッタエッチング処理が施される。

【0064】ところで、接続孔125を開孔する際に、第2層配線9であるW/A1/W積層配線120を構成する上層のタングステン膜がエッチングされて、中間層のアルミニウム膜が露出することがある。

【0065】このアルミニウム膜が露出した状態で、第3層配線10であるW/A1/W積層配線124を形成すると、W/A1/W積層配線124を構成する下層のスパッタリング法で堆積されたタングステン膜の被着性が悪い場合、スパッタリング法に続いてCVD法で下層のタングステン膜を形成する際に用いられるガス(WF<sub>6</sub>)と、露出した前記アルミニウム膜とが反応して、AlF<sub>3</sub>が生成され、第2層配線9と第3層配線10の間で導通不良が生じることがある。

【0066】従って、第3層配線10であるW/A1/W積層配線124を構成する下層のスパッタリング法で形成されるタングステン膜の膜厚を厚くして、接続孔125の底部での被着性を高め、前記導通不良を防いでいる。

【0067】W/A1/W積層配線124の下層を構成するタングステン膜は、スパッタリング法で堆積された0.1 $\mu$ mのタングステン膜とCVD法で堆積された0.15 $\mu$ mのタングステン膜で構成されており、中間層のアルミニウム膜の厚さは0.6 $\mu$ m、上層のタングステン膜の厚さは0.05 $\mu$ mである。

【0068】図5は、接続孔を介して接続された上下に位置するW/A1/W積層配線間の導通歩留まりと接続孔のアスペクト比との関係を示している。アスペクト比を2.0としても、約40%の導通歩留まりを得ることができる。

【0069】以上、第3層配線10であるW/A1/W積層配線124を形成するまでの製造工程を述べたが、第3層配線10よりも上層に形成される第4層配線11および第5層配線12は、第3層配線10であるW/A1/W積層配線124と同様に形成される。

【0070】また、第3層配線10と第4層配線11の間に位置する第3の層間絶縁膜126、127および128、ならびに第4層配線11と第5層配線12の間に位置する第4の層間絶縁膜131、132および133は、第2の層間絶縁膜121、122および123と同様に形成される。第4層配線11であるW/A1/W積層配線129は、第3の層間絶縁膜126、127、1

11

28に形成された接続孔130を通して第3層配線10であるW/A1/W積層配線124と接続している。

【0071】第5層配線12であるW/A1/W積層配線134は第5の層間絶縁膜136、137および138で覆われている。W/A1/W積層配線134は、第4の層間絶縁膜131、132、133に形成された接続孔135を通してW/A1積層配線124と接続している。第5の層間絶縁膜136、137および138も第2の層間絶縁膜121、122および123と同じ方法で形成される。

【0072】第5の層間絶縁膜136の厚さは約0.6  $\mu$ m、塗布法によって堆積された第5の層間絶縁膜137の厚さは約0.55  $\mu$ m、エッチバックの厚さは約0.6  $\mu$ m、第5の層間絶縁膜138の厚さは約1.2  $\mu$ mである。

【0073】第5の層間絶縁膜136、137および138上には、第6層配線13の製造工程で形成される電源配線であるアルミニウム配線（以下A1配線と略す）139が形成されている。A1配線139は、第5の層間絶縁膜136および138に形成された接続孔140を通して第5層配線12であるW/A1/W積層配線134と接続している。この接続孔140の寸法は1.5  $\times$  3.0  $\mu$ m、アスペクト比は1.0である。

【0074】接続孔140はRIE (Reactive Ion Etching) を用いたドライエッチング法、またはウエットエッチング法とRIEドライエッチング法によって形成される。A1配線139を形成する直前には、不活性ガス雰囲気中において、スパッタエッチング処理が施される。A1配線139の厚さは1.0~2.0  $\mu$ mである。なお、第6層配線13にはCu配線を用いてもよい。

【0075】第6層配線13であるA1配線139上にはファイナルパッシベーション膜141および142が形成されている。ファイナルパッシベーション膜141は、例えば窒化珪素膜で形成されており、ファイナルパッシベーション膜142は酸化珪素膜で形成されている。

【0076】ファイナルパッシベーション膜141および142上には、外部端子用引き出し配線としてのBLM (Ball Limiting Metallurgy) 膜143がスパッタリング法によって形成されている。BLM膜143は、クロム (Cr)、Cuおよび金 (Au) を順次積層した構造となっており、BLM膜143上に、外部端子 (ボンディングパッド) 144が形成される。

【0077】BLM膜143と第6層配線13であるA1配線139との接続は、接続孔145を通して行われる。接続孔145は、ドライエッチング法でファイナルパッシベーション膜141および142に角度をつけて加工する、あるいは、ファイナルパッシベーション膜141の上面までをウエットエッチングで除去して、その後、ファイナルパッシベーション膜141をドライエッ

12

チングで加工して形成される。

【0078】このような方法で接続孔145を形成することにより、接続孔145内のBLM膜143の被着不良を防止することができる。

【0079】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0080】例えば、前記実施例では、6層配線の論理付きメモリLSIに適用した場合について説明したが、6層以外の多層配線を有するいかなる半導体集積回路装置にも適用可能である。

【0081】また、本発明では、多層配線を有する配線基板上に、複数の半導体チップを搭載するマザーチップ構造の電子装置にも適用可能である。前記電子装置の配線基板は少なくとも3層以上の信号配線を有しており、論理付きメモリLSIの6層配線の信号配線と同様にチャネル構造で配置されている。前記配線基板は、単結晶珪素基板、炭化珪素基板、セラミック基板およびムライト基板などで形成されている。

【0082】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0083】(1) 本発明によれば、多層配線を有する半導体集積回路装置において、2.0  $\mu$ m以下の配線ピッチで配線を配置することが可能となり、また、接続孔のレイアウトの自由度を増すことができるので、配線の高密度実装と配線の多層化を同時に実現することができる。

【0084】(2) 本発明によれば、多層配線を有する半導体集積回路装置において、2.0のアスペクト比を有する接続孔に、被覆性良く低抵抗の配線を確実に埋め込むことができ、また、ホトリソグラフィ工程において単層レジストを用いて配線を加工することができるので、製造歩留まりの向上、動作速度の高速化、および配線工程のスループットの向上を同時に実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施例である論理付きメモリLSIのチップレイアウトを示す図である。

【図2】本発明の一実施例である論理付きメモリLSIの信号配線のレイアウトルールを示す図である。

【図3】本発明の一実施例である論理付きメモリLSIにおいて、第2層配線と第3層配線の間に設けられる接続孔に対して、第3層配線と第4層配線の間に設けられる接続孔を配置することが可能な箇所を示す図である。

【図4】本発明の一実施例である論理付きメモリLSIを示す半導体基板の要部断面図である。

【図5】接続孔を介して接続された上下に位置するW/A1/W積層配線124と接続孔145との接続状態を示す図である。

A1/W積層配線間の導通歩留まりと接続孔のアスペクト比との関係を示す図である。

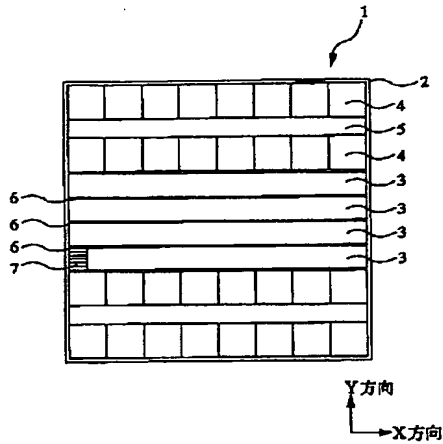
【符号の説明】

- 1 論理付きメモリLSI
- 2 半導体基板
- 3 論理部
- 4 メモリセル部
- 5 メモリセル制御部
- 6 入出力回路部
- 7 基本セル
- 8 第1層配線
- 9 第2層配線
- 10 第3層配線
- 11 第4層配線
- 12 第5層配線
- 13 第6層配線
- 14 接続孔
- 15 接続孔
- 16 接続孔
- 17 接続孔
- 18 接続孔
- 101a 半導体基板
- 101b 支持基板
- 101c 酸化珪素膜
- 102 埋め込み型のn型半導体領域
- 103 n型エピタキシャル層
- 104 素子間分離絶縁膜
- 104a コレクタ開口部
- 104b ベース開口部
- 104c エミッタ開口部
- 105 素子間分離絶縁膜
- 106 コレクタ電位引き上げ用n型半導体領域
- 107 p型半導体領域
- 108 p型半導体領域
- 109 n型半導体領域
- 110 ベース引き出し用電極
- 111 エミッタ引き出し用電極
- 112a 絶縁膜
- 112b 絶縁膜
- 113 接続孔
- 114 接続孔
- 115a タングステン配線(第1層配線)

- 115b タングステン配線(第1層配線)
- 115c タングステン配線(第1層配線)
- 116 第1の層間絶縁膜
- 117 第1の層間絶縁膜
- 118 第1の層間絶縁膜
- 119 接続孔
- 120 タングステン/アルミニウム/タングステン積層配線(第2層配線)
- 121 第2の層間絶縁膜
- 10 122 第2の層間絶縁膜
- 123 第2の層間絶縁膜
- 124 タングステン/アルミニウム/タングステン積層配線(第3層配線)
- 125 接続孔
- 126 第3の層間絶縁膜
- 127 第3の層間絶縁膜
- 128 第3の層間絶縁膜
- 129 タングステン/アルミニウム/タングステン積層配線(第4層配線)
- 20 130 接続孔
- 131 第4の層間絶縁膜
- 132 第4の層間絶縁膜
- 133 第4の層間絶縁膜
- 134 タングステン/アルミニウム/タングステン積層配線(第5層配線)
- 135 接続孔
- 136 第5の層間絶縁膜
- 137 第5の層間絶縁膜
- 138 第5の層間絶縁膜
- 30 139 アルミニウム配線(第6層配線)
- 140 接続孔
- 141 ファイナルパッシベーション膜
- 142 ファイナルパッシベーション膜
- 143 BLM膜
- 144 外部端子(ボンディングパッド)
- 145 接続孔
- M2 第2層配線のレイアウト
- M3 第3層配線のレイアウト
- M4 第4層配線のレイアウト
- 40 M5 第5層配線のレイアウト
- P1 配線ピッチ

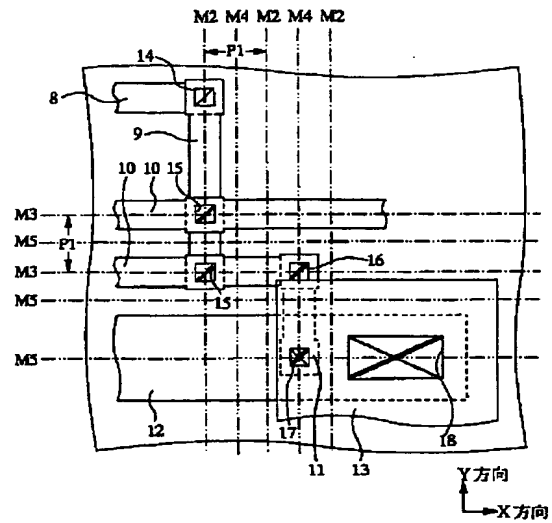
【図1】

図 1



【図2】

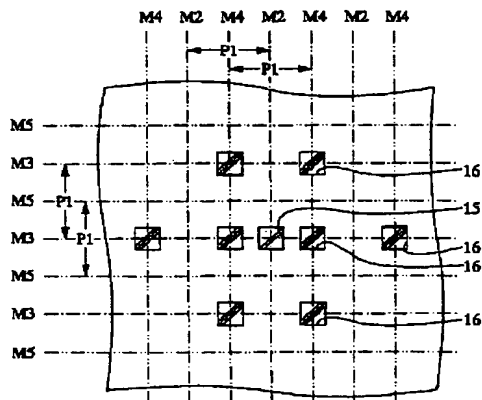
図 2



M2: 第2層配線のレイアウト  
 M3: 第3層配線のレイアウト  
 M4: 第4層配線のレイアウト  
 M5: 第5層配線のレイアウト  
 P1: 配線ピッチ

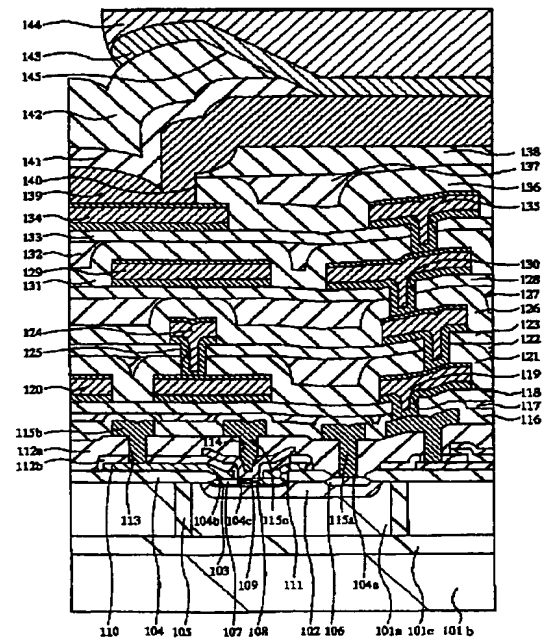
【図3】

図 3



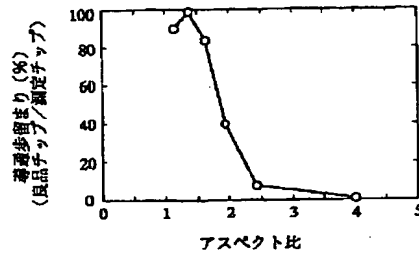
【図4】

図 4



【図5】

図 5



フロントページの続き

(51) Int. Cl.<sup>6</sup>  
H01L 21/822

識別記号 庁内整理番号

FI  
H01L 21/90  
27/04

技術表示箇所

A  
D

(72) 発明者 大堀谷 薫  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内